

KOREAN PATENT ABSTRACT (KR)

Patent Laid-Open Gazette

(51) IPC Code: H01L 21/3213

(11) Publication No.: P2001-0095943

(43) Publication Date: 7 November 2001

(21) Application No.: 10-2000-0019430

(22) Application Date: 14 April 2000

(71) Applicant(s):

Samsung Electronics Co., Ltd.

416 Maetan-3-dong, Paldal-gu, Suwon-City, Kyunggi-do, Korea

(72) Inventor(s):

KIM, DONG-OH

(54) Title of the Invention:

Semiconductor Device

Abstract:

Provided is a semiconductor device having an improved quality. The device includes a first conductive layer formed on a substrate, an interlayer insulating layer formed on the first conductive layer, a second conductive layer formed on the interlayer insulating layer and having a rectangular cross-section, and a connection portion formed on the interlayer insulating layer to connect the first conductive layer to the second conductive layer and having a cross-section extended in a direction of a long axis of the second conductive layer. In the device, since a contact area of the connection portion with the second conductive layer is large, an amount of reactive ions which are concentrated on a boundary surface between the connection portion and the second conductive layer during the etching of the second conductive layer can be reduced, thereby lowering occurrence of faulty devices.

특2001-0095943

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷

(11) 공개번호 특2001-0095943

H01L 21/3213

(43) 공개일자 2001년11월07일

(21) 출원번호 10-2000-0019430

(22) 출원일자 2000년04월14일

(71) 출원인 삼성전자 주식회사 윤종용

(72) 발명자 경기 수원시 팔달구 매탄3동 416

김동오

(74) 대리인 경기도 화성군 태안읍 반월리 남양빌라나동 201호

박영우

심사청구 : 없음

(54) 반도체 장치

요약

제품의 품질이 향상된 반도체장치가 개시되어 있다. 기판상에 형성된 제1 도전층, 상기 제1 도전층상에 형성된 충전절연막, 상기 충전절연막상에 형성되고 단면이 장축과 단축을 갖는 장방형의 제2 도전층 및 상기 충전절연막에 상기 제1 도전층과 상기 제2 도전층을 연결하도록 형성되고 단면이 상기 제2 도전층의 장축 방향으로 긴 형상의 연결부를 포함한다. 연결부와 제2 도전층간의 접촉 면적이 넓어지기 때문에 이후 제2 도전층의 식각시 반응성 이온이 이들간의 경계면으로 집중되는 현상을 완화시켜 줄 수 있어서 이로 인한 불량 발생율을 감소시킬 수 있다.

도표도

도3a

명세서

도면의 간단한 설명

도 1a 내지 1c는 종래의 반도체 장치에서 스토리지 노드가 형성된 이후 얻어지는 형상을 개략적으로 나타내는 상면도 및 단면도로서, 도 1a는 상면도이고, 도 1b는 스토리지 노드의 단축 방향을 보여주는 단면도이고, 도 1c는 스토리지 노드의 장축 방향을 보여주는 단면도이다.

도 2는 스토리지 노드 패턴의 형성을 위한 식각 공정의 수행시 반응성 이온과 전자의 흐름을 나타내는 단면도이다.

도 3a 내지 3c는 본 발명에 따른 반도체 장치에서 스토리지 노드가 형성된 이후 얻어지는 형상을 개략적으로 나타내는 상면도 및 단면도로서, 도 3a는 상면도이고, 도 3b는 스토리지 노드의 단축 방향을 보여주는 단면도이고, 도 3c는 스토리지 노드의 장축 방향을 보여주는 단면도이다.

<도면의 주요부분에 대한 부호의 설명>

100, 110, 120: 기판
200, 210, 220: 충전절연막
300, 310, 320: 패드
400, 410, 420: 스토리지 노드
510: 포토레지스트 패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로서, 상세하게는 콘택홀의 형성시 이의 단면적이 타원형이 되도록 하는 것에 의해 콘택홀을 채우는 패드와 이의 상부에 형성되는 스토리지 노드와의 접촉 면적을 넓게 하여 불량 발생율을 감소시키고 품질을 향상시킨 반도체 장치에 관한 것이다.

DRAM 제품에서는 데이터를 저장하기 위한 커패시터의 형성을 위하여 스토리지 노드가 사용된다. 제품이 고집적화 될수록 선폭이 작아져서 스토리지 노드의 면적은 좁아지고 동일한 용량의 커패시터를 얻기 위해서는 이의 높이가 더 높아지게 된다.

스토리지 노드간의 브리지 발생을 방지하기 위해서 스토리지 노드 패턴의 프로파일은 수직 방향일수록 유리하며, 이러한 프로파일을 만들기 위해서는 충분한 과식각을 해주어야 한다. 스토리지 노드가 형성되고 프로파일을 수직 형상으로 만들기 위해 과식각을 진행하면 스토리지 노드와 하부의 콘택홀을 채우는 패드 사이가 수평방향으로 식각되면서 이 부분의 스토리지 노드가 떨어져거나 패드와 스토리지 노드 사이의 접촉 면적이 작아질 수 있다. 이는 소자의 불량률을 높이거나 저항을 증가시키는 결과를 가져온다.

도 1a 내지 1c는 통상적인 반도체 장치에서 스토리지 노드가 형성된 이후 얻어지는 형상을 개략적으로 나타내는 상면도 및 단면도로서, 도 1a는 상면도이고, 도 1b는 도 1a의 A-A' 면을 따라 잘랐을 때, 즉, 스토리지 노드의 장축 방향을 보여주는 단면도이고, 도 1c는 도 1a의 B-B' 면을 따라 잘랐을 때, 즉, 스토리지 노드의 장축 방향을 보여주는 단면도이다. 기판(100) 상에 형성된 불순물 도핑 영역과 연결되는 콘택홀의 내부에 폴리실리콘을 채워 얻어지는 패드(300)와 이의 상부에 이와 일부가 접촉되게 장방형으로 형성되는 스토리지 노드(400) 및 충전절연막(200)으로 이루어져 있다.

도 1a 내지 1c를 비교하면 알 수 있듯이 스토리지 노드는 가로폭 방향으로 좁고 세로폭 방향으로 넓은 장방형 구조를 가지는 반면에 콘택홀은 거의 원형으로 형성된다. 따라서 스토리지 노드의 가로폭 방향의 폭에 대한 패드의 직경이 갖는 비율과 세로폭 방향의 폭에 대한 패드의 직경이 갖는 비율은 크게 차이가 난다. 결국, 스토리지 노드와 연결되는 패드는 스토리지 노드의 가로폭 보다 작아마 하기 때문에 콘택홀의 사이즈는 스토리지 노드의 가로폭에 의해 결정된다.

RF 파워를 이용한 식각에서 식각을 진행하기는 기본적인 소스는 양전하와 전자간의 이동도차에 의해서 생기는 DC BIAS 이다. 이동도가 빠른 전자가 충전되어 있는 표면에 무거운 무거운 양전하가 부딪히면서 생기는 이온 충돌 현상으로 식각이 진행되는 전자의 충전량이 많을수록 충돌 현상에 의한 식각률은 증가하게 된다.

도 2에는 스토리지 노드 패턴의 형성을 위한 식각 공정의 수행시 반응성 이온과 전자의 흐름을 단면도로 나타내었다.

기판(110) 상에는 충전절연막(210)이 형성되어 있고, 이에는 기판까지 이어지는 콘택홀에 도전성 물질을 채워 형성된 패드(310)가 형성되어 있다. 충전절연막(210) 상에 스토리지 노드를 형성하기 위하여 폴리실리콘층과 포토레지스트 패턴(510)을 형성한 후, 상기 포토레지스트 패턴(510)을 식각 마스크로 하여 폴리실리콘층을 식각하면 도 2에 나타난 바와 같이 반응성 이온에 의한 식각이 이루어져서 스토리지 노드(410)가 얻어진다. 도면에서 실선으로 나타난 화살표는 반응성 이온의 흐름을 나타내고, 점선으로 나타난 화살표는 전자의 흐름을 나타낸다.

스토리지 노드 패턴의 형성시 스토리지 노드 형성을 위한 폴리실리콘의 식각이 진행될 때, 플라스마에 의해서 충전된 전자들은 콘택홀의 패드를 통해 기판으로 빠져나가게 된다. 넓은 스토리지 노드 표면에 비해서 상대적으로 좁은 콘택홀 부분으로 전하가 빠져나가려면 국부적인 전하 집중 현상이 나타나게 되고 이러한 집중 현상이 스토리지 노드와 패드의 경계면에서의 식각을 빨라지게 만드는 원인이 된다. 일단 이러한 식각에 의해 목적 불량이 발생되면 스토리지 노드에 충전된 전자들은 더욱 집중되어서 수평방향으로 식각되는 속도는 더욱 빨라지게 된다.

스토리지 노드의 단축 방향 단면도를 참고하면, 스토리지 노드의 표면적에 비하여 패드의 면적은 큰 차이를 보이지 않으나 이의 장축 방향 단면도를 참고하면, 스토리지 노드의 표면적에 비하여 패드의 면적은 매우 작다. 식각이 진행되는 동안에는 패드로 전하가 집중되더라도 큰 문제가 없으나 스토리지 노드를 형성하는 폴리실리콘 막질이 식각되고 난 후 과식각이 진행되면 스토리지 노드에 하전된 전자들이 상대적으로 좁은 패드를 통해서 기판으로 빠져나가게 된다. 이렇게 되면 패드 주위에는 높은 DC BIAS가 형성되고 반응성 이온들이 집중되어 스토리지 노드와 패드의 경계면 부분에 존재하는 막질이 선택적으로 식각되는 속도가 더욱 빨라지게 된다. 일단 이에 따른 불량이 발생되면 전자의 집중에 의해 형성된 DC BIAS는 더욱 심하게 불균일해 되며 균열은 더욱 가속화 된다.

본 발명이 이루고자하는 기술적 과제

이에 본 발명의 목적은 스토리지 노드의 단면적에 비하여 패드의 단면적이 매우 작음에 따르는 상기한 문제점을 해결하기 위한 것으로, 이들간의 접촉 면적을 넓힘으로써 이들의 경계면 부분에 전자가 집중되는 현상을 완화시켜 주고 이를 통하여 제품 특성을 향상시킬 수 있는 반도체 장치를 제공하고자 한다.

본 발명의 구성 및 작용

상기한 본 발명의 목적을 달성하기 위하여 본 발명에서는

제1 도전층;

상기 제1 도전층상에 형성된 충전절연막;

상기 충전절연막상에 형성되고 단면이 장축과 단축을 갖는 장방형의 제2 도전층; 및

상기 충전절연막에 상기 제1 도전층과 상기 제2 도전층을 연결하도록 형성되고 단면이 상기 제2 도전층의 장축 방향으로 긴 형상의 연결부를 포함하는 반도체 장치를 제공한다.

특히 상기 연결부의 단면은 장축 방향으로 긴 타원형인 것이 바람직하고, 구체적으로는 상기 제1 도전층이 반도체 기판의 상부에 형성된 불순물 도핑 영역이고 상기 제2 도전층이 스토리지 노드인 경우를 예로 들 수 있다.

이하, 본 발명을 첨부된 도면을 참고로 하여 상세히 설명하기로 한다.

도 3a 및 3b는 본 발명에 따른 반도체 장치에서 스토리지 노드가 형성된 이후 얻어지는 형상을 개략적으로 나타내는 상면도 및 단면도로서, 도 3a는 상면도이고, 도 3b는 도 3a의 C-C' 선을 따라 잘랐을 때 스

스토리지 노드의 단축 방향을 보여주는 단면도이고, 도 3c는 도 3a의 0-0' 선을 따라 잘랐을 때 스토리지 노드의 장축 방향을 보여주는 단면도이다.

도시한 바와 같이, 층간절연막(220)을 통하여 기판(120) 상에 형성된 불순물 도핑 영역과 스토리지 노드(420)를 연결하기 위한 연결부의 패드(320)의 단면이 원형이 아니라 타원형 형상을 갖는다는 것을 알 수 있다. 이는 장방형 스토리지 노드의 장축 방향으로 길게 되도록 형성함으로써 스토리지 노드(420)와 패드(320) 간의 접촉 면적을 넓히도록 한 것이다. 단면이 타원형인 패드를 형성하기 위해서는 타원형의 콘택홀을 형성해야 하고, 이를 위해서는 타원형의 식각 마스크 패턴을 형성해야 할 것이다.

도 3b 및 도 3c에 의하면 스토리지 노드(420)의 단축 방향으로 패드의 직경이 종래의 경우와 동일하여 패턴간의 간격이 그대로 유지되지만 장축 방향으로 종래의 경우와 비교할 때, 패드(320)의 직경이 훨씬 크다는 것을 알 수 있다. 이는 콘택홀의 형성시 콘택홀간의 간격을 좁히는 결과를 가져오지만 장축 방향으로 스토리지 노드의 구조로 인하여 이미 콘택홀간의 간격이 넓게 설정되어 있기 때문에 이로 인한 불량 발생은 염려하지 않아도 된다. 타원의 장축의 크기는 가능한 한 크게 하는 것이 유리하지만 장축 방향으로 이웃하는 콘택홀 간에 간격이 너무 좁지 않을 정도로 적절히 선택해야 한다.

이하, 본 발명을 구체적인 실시예를 통하여 상세히 설명하기로 한다.

먼저 기판(120)의 상부에 각 소자의 활성 영역을 한정하기 위한 필드 산화막을 형성하고 활성 영역에는 게이트 산화막, 폴리실리콘 패턴 및 절연막 패턴을 포함하는 게이트 전극을 형성하고, 필드 산화막 상에는 폴리실리콘 패턴 및 절연막 패턴을 포함하는 게이트 전극을 형성하도록 한다.

게이트 전극의 측벽에는 HTO와 같은 산화물을 증착하여 스페이서를 형성하고, 활성 영역에는 게이트 전극과 스페이서를 미온 주입 마스크로 이용하여 미온 주입 공정으로 고농도의 불순물을 주입하여 트랜지스터의 소오스/드레인 영역을 형성하도록 한다. 게이트 전극이 형성된 기판의 전면에 제1 층간 절연막을 형성하고 이 제1 층간 절연막에는 기판의 공통의 소오스/드레인 영역과 연결되는 비트라인을 형성하도록 한다. 이의 상부에는 BPSG 또는 PSG로 이루어지는 제2 층간 절연막을 형성하도록 하도록 한다.

제1 및 제2 층간 절연막으로 이루어지는 층간절연막(220)에는 소오스/드레인 영역 표면의 일부와 접촉되는 콘택홀을 형성하도록 하는데, 이는 포토레지스트 패턴을 이용하여 반응성 미온 식각 방식에 의해 수행하도록 한다. 이 때, 포토레지스트 패턴은 노출되는 식각부가 타원형이 되도록 형성하는데, 이를 위하여 미리 디자인된 마스크 패턴을 사용해야 한다.

이후, 상기 콘택홀의 내부를 도핑된 폴리실리콘으로 채워 패드(320)를 형성하고 상기 패드(320) 및 제2 층간 절연막 상에 스토리지 노드의 형성을 위한 폴리실리콘을 도포하고 포토리소그래피 공정에 의해 패턴 형성함으로써 도 3a 내지 3c에 나타난 바와 같은 형태로 스토리지 노드(420)를 형성하도록 한다. 스토리지 노드(420)의 상부에 유전막 및 플레이트 전극을 차례로 형성하여 커패시터를 완성한다.

이후에, 통상의 반도체 장치의 제조 공정에 따라 트랜지스터 및 커패시터가 형성된 DRAM 소자를 완성한다.

이상과 같은 본 발명에서는 제1 도전층으로서 불순물 도핑 영역을, 제2 도전층으로서 스토리지 노드를, 이들간의 연결부로서 패드를 예로하여 설명하였는데, 이는 제2 도전층과 패드와의 접촉부가 좁은 것으로 인하여 발생하는 문제를 해결하기 위한 모든 경우에 예외 없이 적용할 수 있을 것이다.

발명의 효과

이상과 같은 본 발명에 의하면 콘택홀의 형성시 이미 단면적이 타원형이 되도록 하는 것에 의해 콘택홀을 채우는 패드와 이미 상부에 형성되는 스토리지 노드와의 접촉 면적을 넓게 하여 스토리지 노드의 형성을 위한 반응성 미온 식각 공정의 수행시 스토리지 노드와 패드의 경계면 부분에 전자가 집중되는 현상을 완화시켜 주게 된다. 이러한 개선을 통하여 불량 발생율을 감소시키고 품질을 향상시킨 반도체 장치를 얻을 수 있게 된다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(5) 청구의 범위

청구항 1. 제1 도전층;

상기 제1 도전층상에 형성된 층간절연막;

상기 층간절연막상에 형성되고 단면이 장축과 단축을 갖는 장방형의 제2 도전층; 및

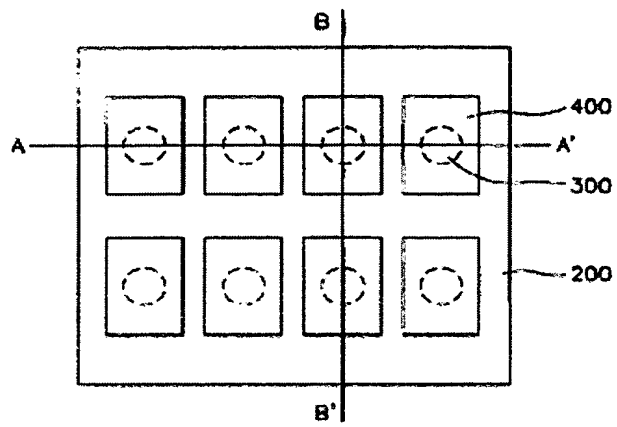
상기 층간절연막에 상기 제1 도전층과 상기 제2 도전층을 연결하도록 형성되고 단면이 상기 제2 도전층의 장축 방향으로 긴 형상의 연결부를 포함하는 반도체 장치.

청구항 2. 제1항에 있어서, 상기 연결부의 단면이 장축 방향으로 긴 타원형인 것을 특징으로 하는 반도체 장치

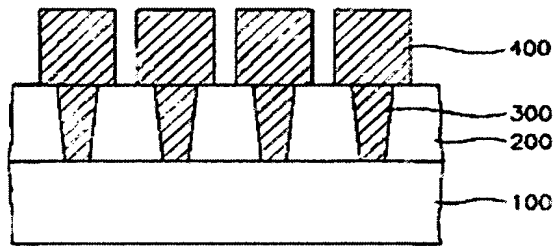
청구항 3. 제1항에 있어서, 상기 제1 도전층은 반도체 기판의 상부에 형성된 불순물 도핑 영역이고 상기 제2 도전층은 스토리지 노드인 것을 특징으로 하는 반도체 장치.

도면

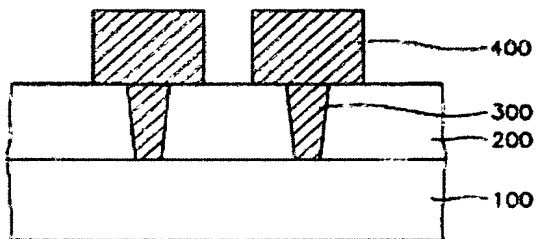
도면 1a



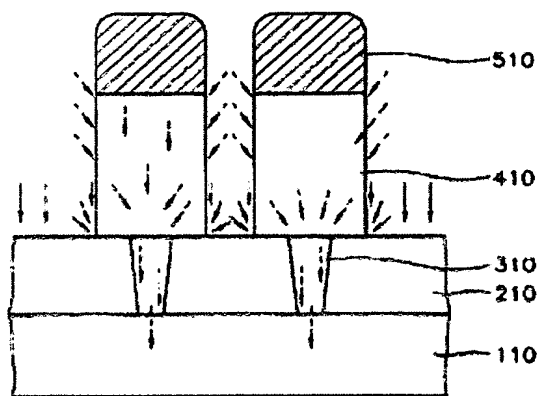
도면 1b



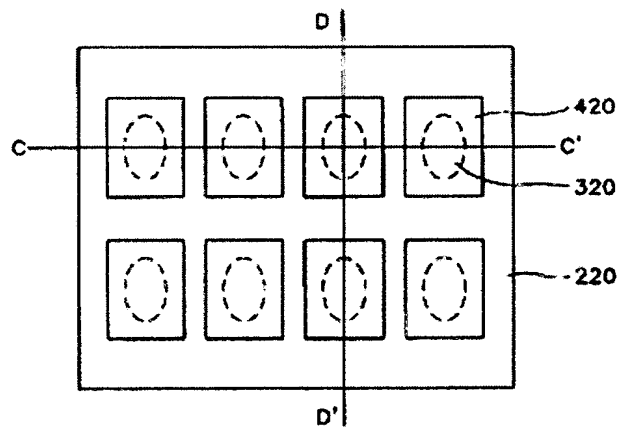
도면 1c



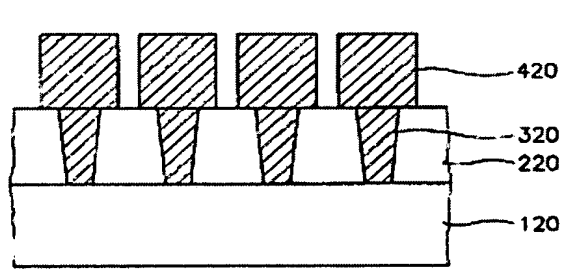
도 12



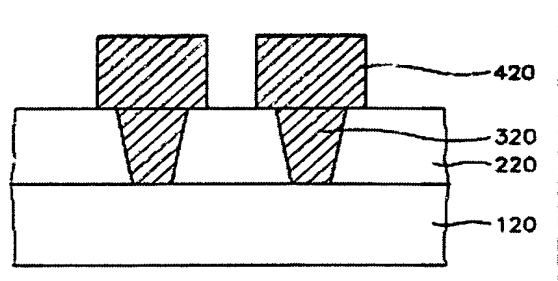
도 13



도 14



도 11a



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.